

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL
STATUS

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222927

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/06

(21)Application number : 2001-019803

(71)Applicant : RICOH CO LTD

(22)Date of filing : 29.01.2001

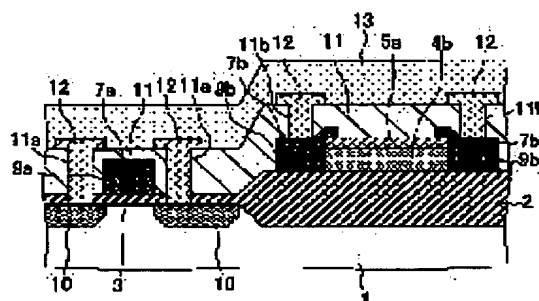
(72)Inventor : ISHIDA KAZUTAKA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the stability of the resistance value of a resistance element and to reduce the contact resistances of the resistance element with wiring materials.

SOLUTION: On a gate oxide film 3, there are formed a low-resistance polysilicon film 9a and a high-melting-point metal polycide film 7a laminated on the film 9a out of which a gate electrode is constituted. On a field oxide film 2, there are a high-resistance polysilicon film 4b for constituting the resistance element; low-resistance polysilicon films 9a, 9b formed at both the ends of the film 4b; a silicon nitride film 5a formed on the high-resistance polysilicon film 4b; and high-melting-point metal polycide films 7b formed on the low-resistance polysilicon films 9b. In an interlayer insulation film 11 present on each high-melting-point metal polycide 7b, each contact hole 11b is so formed as to contact electrically each high-melting-point metal polycide film 7b with each aluminum wiring 12 via each contact hole 11b.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-222927

(P2002-222927A)

(43)公開日 平成14年8月9日(2002.8.9)

(51)Int.Cl.⁷

識別記号

F I

テームト(参考)

H 0 1 L 27/04
21/822
21/8234
27/06

H 0 1 L 27/04
27/06

P 5 F 0 3 8
U 5 F 0 4 8
1 0 2 E

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21)出願番号 特願2001-19803(P2001-19803)

(22)出願日 平成13年1月29日(2001.1.29)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 石田 一孝

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(74)代理人 100085464

弁理士 野口 繁雄

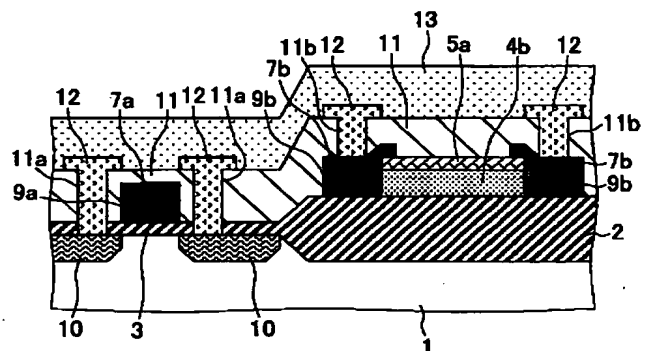
Fターム(参考) 5F038 AR08 AR09 AR16 DF01 DF03
DF12 EZ12 EZ13 EZ14 EZ15
EZ20
5F048 AB10 AC10 BA01 BB05 BB08
BB09 BG12

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 抵抗素子の抵抗値の安定性の向上及びコンタクト抵抗の低抵抗化を図る。

【解決手段】 ゲート酸化膜3上にゲート電極を構成する低抵抗ポリシリコン膜9a及び高融点金属ポリサイド膜7aが積層して形成されている。フィールド酸化膜2上に抵抗素子を構成する高抵抗ポリシリコン膜4b、その両端に低抵抗ポリシリコン膜9b、9b、高抵抗ポリシリコン膜4b上にシリコン窒化膜5a及び低抵抗ポリシリコン膜9bの上に高融点金属ポリサイド膜7bが形成されている。高融点金属ポリサイド7b上の層間膜11にコンタクトホール11bが形成されており、コンタクトホール11bを介して高融点金属ポリサイド7bとアルミ配線12が電氣的に接続されている。



【特許請求の範囲】

【請求項 1】 抵抗素子を構成する高抵抗ポリシリコン膜と M I S トランジスタのゲート電極を構成するポリサイド化された低抵抗ポリシリコン膜とを備えた半導体装置において、

前記抵抗素子は高抵抗ポリシリコン膜と、その高抵抗ポリシリコンの両端にそれぞれ形成され、コンタクト領域を構成する低抵抗ポリシリコン膜により構成されており、前記高抵抗ポリシリコン膜の上層にシリコン窒化膜が形成されていることを特徴とする半導体装置。

【請求項 2】 前記抵抗素子のコンタクト領域を構成する低抵抗ポリシリコン膜の上層に高融点金属ポリサイド膜をさらに備えている請求項 1 に記載の半導体装置。

【請求項 3】 前記抵抗素子を含むアナログ回路と、他の制御系のデジタル回路を混載している請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 抵抗素子を構成する高抵抗ポリシリコン膜と M I S トランジスタのゲート電極を構成するポリサイド化された低抵抗ポリシリコン膜とを備えた半導体装置の製造方法において、以下の工程 (A) から (F) を含むことを特徴とする半導体装置の製造方法。

(A) 半導体基板表面の素子分離膜で画定された活性領域にゲート酸化膜を形成する工程、(B) 少なくとも前記素子分離膜及び前記ゲート酸化膜を含む半導体基板上に高抵抗ポリシリコン膜を形成する工程、(C) 前記素子分離膜上の、抵抗素子用の高抵抗ポリシリコン膜を形成する領域の前記高抵抗ポリシリコン膜上に、シリコン窒化膜を形成する工程、(D) 前記シリコン窒化膜をマスクとして前記高抵抗ポリシリコン膜に不純物を注入し、前記高抵抗ポリシリコン膜を低抵抗化して低抵抗ポリシリコン膜を形成するとともに、前記シリコン窒化膜下層に抵抗素子用の高抵抗ポリシリコン膜を残す工程、

(E) 少なくともゲート電極形成領域の前記低抵抗ポリシリコン膜上に高融点金属ポリサイド膜を形成する工程、(F) 前記高融点金属ポリサイド膜及び前記低抵抗ポリシリコン膜をパターンニングして、M I S トランジスタのゲート電極用の低抵抗ポリシリコン膜及び高融点金属ポリサイド、並びに前記抵抗素子用の高抵抗ポリシリコン膜の両端にコンタクト用の低抵抗ポリシリコン膜を形成する工程。

【請求項 5】 工程 (E) において、工程 (F) で前記抵抗素子用の低抵抗ポリシリコン膜を形成する領域の低抵抗ポリシリコン膜上にも前記高融点金属ポリサイド膜を形成し、工程 (F) において、前記高融点金属ポリサイド膜及び前記低抵抗ポリシリコン膜のパターンニング時に、抵抗素子用の前記低抵抗ポリシリコン膜上に抵抗素子用の高融点金属ポリサイド膜を同時に形成する請求項 4 に記載の製造方法。

【請求項 6】 工程 (F) において、前記高融点金属ポ

リサイド膜及び前記低抵抗ポリシリコン膜のパターンニング時に、前記シリコン窒化膜をマスクの一部として用いる請求項 4 又は 5 に記載の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置とその製造方法、特に、抵抗素子を構成する高抵抗ポリシリコン膜と M I S トランジスタ（絶縁ゲート電界効果型トランジスタ）のゲート電極を構成するポリサイド化された低抵抗ポリシリコン膜とを備えた半導体装置とその製造方法に関するものである。このような半導体装置は、例えば電源用の I C（集積回路）、携帯電話のベースバンド I C、オペアンプ、A D / D A コンバータなどに適用できる。

【0002】

【従来の技術】M I S トランジスタの代表として M O S トランジスタを取りあげて説明する。大規模集積回路（L S I）の高速化・高密度化の要求にともない、M O S トランジスタのゲート電極を構成するポリシリコン膜の低抵抗化が重要な課題となっている。そこで、ゲート電極を従来のポリシリコン単層からポリシリコンと高融点金属ポリサイドの積層構造にすることによりゲート電極の低抵抗化を実現している。

【0003】一方、半導体装置にアナログ回路を搭載する場合、ゲート電極に使われる低抵抗のポリシリコン膜とは別に、抵抗素子を構成する高抵抗のポリシリコン膜が必要とされる。図 5 及び図 6 は、高抵抗と低抵抗のポリシリコン膜を 1 層のポリシリコン膜から作り分ける従来の製造方法（従来技術 1）を示す工程断面図である。

【0004】(A) シリコン基板 1 の上に L O C O S 法により素子分離用のフィールド酸化膜 2 を形成した後、フィールド酸化膜 2 により画定された活性領域のシリコン基板 1 表面にゲート酸化膜 3 を形成する。シリコン基板 1 上全面にノンドープポリシリコンを堆積した後、リンのイオン打込み又は固相拡散によりノンドープポリシリコンに不純物を注入し、抵抗値を調整して高抵抗ポリシリコン膜 4 を形成する。高抵抗ポリシリコン膜 4 上に、H T O（高温酸化）膜 1 4 を堆積する。

【0005】(B) 抵抗素子を形成する領域を含むフィールド酸化膜 2 の領域（高抵抗領域という）の H T O 膜 1 4 上にレジストパターン 1 5 を形成する。

(C) レジストパターン 1 5 をマスクとして H T O 膜 1 4 をエッチングしてレジストパターン 1 5 で覆われていない領域（低抵抗領域という）の H T O 膜 1 4 を除去し、フィールド酸化膜 2 上に H T O 膜 1 4 a を形成する。その後、レジストパターン 1 5 を除去する。

【0006】(D) フィールド酸化膜 2 上に残った H T O 膜 1 4 a をマスクとしてリンのイオン打込み又は固相拡散を行ない、H T O 膜 1 4 a で覆われていない低抵抗領域の高抵抗ポリシリコン膜 4 のみに不純物を導入して

抵抗値を下げて低抵抗領域に低抵抗ポリシリコン膜 4 a を形成し、HTO 膜 1 4 a 下層に高抵抗ポリシリコン膜 4 b を形成する。その後、HTO 膜 1 4 a を除去する。

【0007】(E) 低抵抗ポリシリコン膜 4 a 上にゲート電極形成用のレジストパターン 1 7 a を形成し、高抵抗ポリシリコン膜 4 b 上に抵抗素子形成用のレジストパターン 1 7 b を形成する。

(F) レジストパターン 1 7 a, 1 7 b をマスクとしてポリシリコン膜 4 a, 4 b をエッチングして、ゲート電極用の低抵抗ポリシリコン膜 1 8 をゲート酸化膜 3 上に形成するとともに、抵抗素子用の高抵抗ポリシリコン膜 1 9 をフィールド酸化膜 2 上に形成する。その後、レジストパターン 1 7 a, 1 7 b を除去する。

【0008】従来技術 1 の工程 (F) に続けて、ゲート電極用の低抵抗ポリシリコン膜 1 8 をポリサイド化しようとする、抵抗素子用の高抵抗ポリシリコン膜 1 9 も同時にポリサイド化されてしまうので、高抵抗素子の形成が不可能となってしまう。そのため、ゲート電極用の低抵抗ポリシリコン膜をポリサイド化するためには、ゲート電極用の低抵抗ポリシリコン膜と抵抗素子用の高抵抗ポリシリコン膜を別々に形成する、すなわち 2 層にわけて堆積しなければならず、複雑で長い製造工程になっていた。さらに、上記工程 (F) において、低抵抗ポリシリコン膜 4 a と高抵抗ポリシリコン膜 4 b を同時にエッチングしているので、高抵抗ポリシリコン膜 4 b の方が低抵抗ポリシリコン膜 4 a よりもエッチングレートが遅いため高抵抗ポリシリコン膜 4 b のエッチング残渣が発生する危険性があった。

【0009】このような問題を解決する方法として特開平 6-224192 号公報の方法（従来技術 2）がある。図 7 は従来技術 2 を示す工程断面図である。従来技術 2 では、半導体基板 1 0 1 上のノンドープポリシリコン層 1 0 4 に、シリコン酸化膜 1 0 5 をマスクにしてリンをイオン注入する (A)。リンが注入されたドープポリシリコン層 1 0 6 上及びシリコン酸化膜 1 0 5 上にタングステンポリサイド膜 7 7 を形成し、さらにその上にレジストパターン 1 0 8 を形成する (B)。レジストパターン 1 0 8 及びシリコン酸化膜 1 0 5 をマスクとしてエッチングを行ない、ゲート酸化膜 1 0 3 上にドープポリシリコン層 1 0 6 とタングステンポリサイド膜 7 7 からなるポリサイド構造のゲート電極を形成すると同時に、素子分離用酸化膜 1 0 2 上にノンドープポリシリコン層 1 0 4 からなる抵抗素子とを形成する (C)。

【0010】

【発明が解決しようとする課題】従来技術 2 の抵抗素子を構成するノンドープポリシリコン層 1 0 4 に多層配線を接続する場合、シリコン酸化膜 1 0 5 の全部又は一部を除去してノンドープポリシリコン層 1 0 4 の上面を露出させ、その露出部分に配線材料を接続する。しかし、ノンドープポリシリコン層 1 0 4 に配線材料を直接接続

すると、コンタクト抵抗が上昇するという問題があった。また、ポリシリコン膜からなる抵抗素子は、抵抗素子上層の絶縁膜に開口部を形成して、その開口部を介してレーザー照射によって抵抗素子を切断することにより抵抗値を調整するトリミング処理にも用いられる。その場合、トリミング処理用の開口部を介して水分や水素イオンが浸入し、抵抗素子の抵抗値が変化してしまうことがある。

【0011】そこで本発明は、抵抗素子を構成する高抵抗ポリシリコン膜と M I S トランジスタのゲート電極を構成するポリサイド化された低抵抗ポリシリコン膜とを備えた半導体装置において、抵抗素子の抵抗値の安定性の向上及びコンタクト抵抗の低抵抗化を図ることができる半導体装置及びその製造方法を提供することを目的とするものである。

【0012】

【課題を解決するための手段】本発明にかかる半導体装置は、抵抗素子を構成する高抵抗ポリシリコン膜と M I S トランジスタのゲート電極を構成するポリサイド化された低抵抗ポリシリコン膜とを備えたものであって、抵抗素子は高抵抗ポリシリコン膜と、その高抵抗ポリシリコンの両端にそれぞれ形成され、コンタクト領域を構成する低抵抗ポリシリコン膜により構成されており、上記高抵抗ポリシリコン膜の上層にシリコン窒化膜が形成されているものである。

【0013】抵抗素子において、高抵抗ポリシリコン膜の両端に、配線材料を接続するための低抵抗ポリシリコン膜を設けているので、抵抗素子と配線材料とのコンタクト抵抗を低抵抗化できる。さらに、抵抗素子の抵抗値を決定する高抵抗ポリシリコン膜の上層にシリコン窒化膜を設けているので、高抵抗ポリシリコン膜への水分及び水素イオンの浸入を防止でき、抵抗値の安定性の向上を図ることができる。

【0014】本発明にかかる製造方法は、抵抗素子を構成する高抵抗ポリシリコン膜と M I S トランジスタのゲート電極を構成するポリサイド化された低抵抗ポリシリコン膜とを備えた半導体装置の製造方法であって、以下の工程 (A) から (F) を含む。

(A) 半導体基板表面の素子分離膜で画定された活性領域にゲート酸化膜を形成する工程、(B) 少なくとも素子分離膜及びゲート酸化膜を含む半導体基板上に高抵抗ポリシリコン膜を形成する工程、(C) 素子分離膜上の、抵抗素子用の高抵抗ポリシリコン膜を形成する領域の高抵抗ポリシリコン膜上に、シリコン窒化膜を形成する工程、(D) シリコン窒化膜をマスクとして高抵抗ポリシリコン膜に不純物を注入し、高抵抗ポリシリコン膜を低抵抗化して低抵抗ポリシリコン膜を形成するとともに、シリコン窒化膜下層に抵抗素子用の高抵抗ポリシリコン膜を残す工程、(E) 少なくともゲート電極形成領域の低抵抗ポリシリコン膜上に高融点金属ポリサイド膜

10

20

30

40

50

を形成する工程、(F) 高融点金属ポリサイド膜及び低抵抗ポリシリコン膜をパターンニングして、MIS トランジスタのゲート電極用の低抵抗ポリシリコン膜及び高融点金属ポリサイド、並びに抵抗素子用の高抵抗ポリシリコン膜の両端にコンタクト用の低抵抗ポリシリコン膜を形成する工程。

【0015】シリコン窒化膜をマスクとして1層のポリシリコン膜からゲート電極用の低抵抗ポリシリコン膜と抵抗素子用の高抵抗ポリシリコン膜を作りわけ、ゲート電極用の低抵抗ポリシリコン膜をポリサイド化し、ゲート電極のパターンニングと同時に、抵抗素子用の高抵抗ポリシリコン膜の両端にコンタクト用の低抵抗ポリシリコン膜を形成する。これにより、製造工程を複雑化及び増加させることなく、本発明にかかる半導体装置を製造する。さらに、低抵抗ポリシリコン膜と高抵抗ポリシリコン膜を同時にエッチングすることはないので、高抵抗ポリシリコン膜のエッチング残渣は発生しない。

【0016】

【発明の実施の形態】本発明にかかる半導体装置において、抵抗素子のコンタクト領域を構成する低抵抗ポリシリコン膜の上層に高融点金属ポリサイド膜をさらに備えていることが好ましい。その結果、抵抗素子と配線材料とのコンタクト抵抗をさらに低減することができる。

【0017】本発明にかかる半導体装置は、抵抗素子を含むアナログ回路と、他の制御系のデジタル回路を混載したものに適用することもできる。

【0018】本発明にかかる製造方法の工程(E)において、工程(F)で抵抗素子用の低抵抗ポリシリコン膜を形成する領域の低抵抗ポリシリコン膜上にも高融点金属ポリサイド膜を形成し、工程(F)において、高融点金属ポリサイド膜及び低抵抗ポリシリコン膜のパターンニング時に、抵抗素子用の低抵抗ポリシリコン膜上に抵抗素子用の高融点金属ポリサイド膜を同時に形成することが好ましい。その結果、製造工程を増加させることなく、抵抗素子のコンタクト用の低抵抗ポリシリコン膜の上層に高融点金属ポリサイド膜を形成することができる。

【0019】本発明にかかる製造方法の工程(F)において、高融点金属ポリサイド膜及び低抵抗ポリシリコン膜のパターンニング時に、シリコン窒化膜をマスクの一部として用いることが好ましい。その結果、低抵抗ポリシリコン膜パターンニング時の高抵抗ポリシリコン膜をエッチングしないために形成するマスクのアライメントマージンをなくすことができ、低抵抗ポリシリコン膜のみをエッチングすることができ、エッチング残渣の発生を防止することができる。

【0020】

【実施例】図1は、本発明にかかる半導体装置の一実施例を示す断面図である。シリコン基板1の上に素子分離用のフィールド酸化膜2が200~800nm(ナノメートル)

の膜厚で形成されている。シリコン基板1のフィールド酸化膜2で画定された活性領域の表面に、膜厚が5~50nmのゲート酸化膜3が形成されている。ゲート酸化膜3上にゲート電極を構成する膜厚が100~500nmの低抵抗ポリシリコン膜9aが形成されており、さらにその上に低抵抗ポリシリコン膜9aを低抵抗化するための膜厚が50~200nmの高融点金属ポリサイド膜7aが形成されている。低抵抗ポリシリコン膜9a及び高融点金属ポリサイド膜7aはゲート電極を構成する。低抵抗ポリシリコン膜9aの両端に対応して、シリコン基板1の活性領域にソース及びドレイン10、10が形成されている。

【0021】フィールド酸化膜2上に、抵抗素子を構成する高抵抗ポリシリコン膜4b及びその両端に低抵抗ポリシリコン膜9b、9bが100~500nmの膜厚で形成されている。高抵抗ポリシリコン膜4b上には膜厚が10nm以上のシリコン窒化膜5aが形成されている。低抵抗ポリシリコン膜9b、9bの上には膜厚が50~200nmの高融点金属ポリサイド膜7b、7bが形成されている。高抵抗ポリシリコン膜4b、低抵抗ポリシリコン膜9b、9b、高融点金属ポリサイド7b、7bは抵抗素子を構成する。

【0022】フィールド酸化膜2上及びゲート酸化膜3上に、膜厚が500~1000nmのポリシリコン-メタル層間膜11が形成されている。ソース及びドレイン10、10上のゲート酸化膜3及び層間膜11にコンタクトホール11a、11aが形成されている。高融点金属ポリサイド7b、7b上の層間膜11にコンタクトホール11b、11bが形成されている。層間膜11上及びコンタクトホール11a、11b内にアルミ配線12が形成されており、ソース及びドレイン10とアルミ配線12、並びに高融点金属ポリサイド7bとアルミ配線12はそれぞれ電氣的に接続されている。層間膜11上に膜厚が500~2000nmのファイナルパッシベーション膜13が形成されている。

【0023】この実施例では、高抵抗ポリシリコン膜4b上にシリコン窒化膜5aが存在しているので、高抵抗ポリシリコン膜4bへの水分及び水素イオンの浸入が抑制され、抵抗素子の抵抗値の安定性が保証される。さらに高抵抗ポリシリコン膜4bの両端に低抵抗ポリシリコン膜9b、9bが形成され、低抵抗ポリシリコン膜9b、9b上に高融点金属ポリサイド膜7b、7bが形成され、高融点金属ポリサイド7b、7bにアルミ配線12とのコンタクトが形成されており、抵抗素子とアルミ配線とのコンタクト抵抗の低減が実現されている。

【0024】図2及び図3は製造方法の一実施例を示す工程断面図である。図1から図3を用いて製造方法の一実施例を説明する。

(A) シリコン基板1の上に、LOCOS法によりフィールド酸化膜2を200~800nmの膜厚で形成した後、フ

ィールド酸化膜で画定されたシリコン基板1の活性領域上にゲート酸化膜3を5~50nmの膜厚で形成する。半導体基板1上全面にノンドープポリシリコン膜4を100~500nmの膜厚で堆積し、さらにその上にシリコン窒化膜5を10nm以上の膜厚で堆積する。

【0025】ここで、ノンドープポリシリコン膜4をそのまま高抵抗ポリシリコン膜として用いてもよいし、リンのイオン打込み又は固体拡散によりノンドープポリシリコン膜4に不純物を導入して抵抗値を調整し、高抵抗ポリシリコン膜として用いてもよい。この実施例では、

【0026】(B)シリコン窒化膜5の、抵抗素子の抵抗値を決定する高抵抗ポリシリコン膜の形成領域に、その抵抗素子用の高抵抗ポリシリコン膜と同じ平面形状でレジストパターン6を形成する。

【0027】(C)レジストパターン6をマスクとしてシリコン窒化膜5をエッチングしてシリコン窒化膜5aを形成する。これにより抵抗素子用の高抵抗ポリシリコン膜と同じ平面形状のシリコン窒化膜5aがノンドープポリシリコン膜4上に形成される。その後、レジストパターン6を除去する。シリコン窒化膜5aをマスクとしてノンドープポリシリコン膜4にリンのイオン打込み又は固体拡散を行ない、シリコン窒化膜5aが存在しない領域のノンドープポリシリコン膜4を低抵抗化して低抵抗ポリシリコン膜4aを形成する。シリコン窒化膜5a下層のノンドープポリシリコン膜4にはリンが導入されず、ノンドープポリシリコン膜4からなる高抵抗ポリシリコン膜4bが形成される。

【0028】(D)半導体基板1上全面に、スパッタリング(物理的気相成長)又はCVD(化学的気相成長)により高融点金属ポリサイド膜7を50~200nmの膜厚で堆積する。

(E)高融点金属ポリサイド膜7上の、ゲート電極の形成領域にレジストパターン8aを形成し、抵抗素子のコンタクト領域を構成する低抵抗ポリシリコン膜の形成領域にレジストパターン8bを形成する。

【0029】(F)レジストパターン8a、8bをマスクとして高融点金属ポリサイド膜7をエッチングする。図4の上面図に示すように、低抵抗ポリシリコン膜4a及びシリコン窒化膜5aが露出する。

(G)続けて、低抵抗ポリシリコン膜4aのエッチングを行なう。このとき、レジストパターン8a、8b以外に、シリコン窒化膜5aもエッチングマスクとして働く。これにより、低抵抗ポリシリコン膜4aに比べてエッチングレートが遅い高抵抗ポリシリコン膜4bはエッチングされないので、高抵抗ポリシリコン膜4bの残渣の発生を抑制できる。低抵抗ポリシリコン膜4aのパタ

ーニングにより、ゲート電極を構成する高融点金属ポリサイド膜7a及び低抵抗ポリシリコン膜9a、並びに高抵抗素子のコンタクト領域を構成する高融点金属ポリサイド膜7b及び低抵抗ポリシリコン膜9bを同時に形成する。

【0030】その後、従来技術どおりにMOSトランジスタのソース及びドレイン10を形成し、層間膜11を500~1000nmの膜厚で堆積する。さらに層間膜11にコンタクトホール11a、11bを形成し、アルミ配線12を形成した後、ファイナルパッシベーション膜13を500~2000nmの膜厚で堆積する(図1参照)。

【0031】上記実施例において、高融点金属ポリサイドとしては、例えばタングステンポリサイド、チタンポリサイド、コバルトポリサイドなどを用いることができる。上記実施例では、ノンドープポリシリコン膜4に導入する不純物としてリンを用いているが、本発明はこれに限定されるものではなく、ホウ素やヒ素など、他の不純物を用いてもよい。

【0032】

【発明の効果】請求項1に記載の半導体装置では、抵抗素子はシリコン窒化膜の下層に形成された高抵抗ポリシリコン膜と、その高抵抗ポリシリコンの両端にそれぞれ形成され、コンタクト領域を構成する低抵抗ポリシリコン膜により構成されているようにしたので、抵抗素子と配線材料とのコンタクト抵抗の低抵抗化を図ることができ、かつ高抵抗ポリシリコン膜への水分及び水素イオンの浸入を防止でき、抵抗値の安定性の向上を図ることができる。

【0033】請求項2に記載の半導体装置において、抵抗素子のコンタクト領域を構成する低抵抗ポリシリコン膜の上層に高融点金属ポリサイド膜をさらに備えているようにすれば、抵抗素子と配線材料とのコンタクト抵抗をさらに低減することができる。

【0034】請求項4に記載の製造方法では、シリコン窒化膜をマスクの一部として1層のポリシリコン膜からゲート電極用の低抵抗ポリシリコン膜と抵抗素子用の高抵抗ポリシリコン膜を作りわけ、ゲート電極用の低抵抗ポリシリコン膜をポリサイド化し、ゲート電極のパターニングと同時に、抵抗素子用の高抵抗ポリシリコン膜の両端にコンタクト用の低抵抗ポリシリコン膜を形成するようにしたので、製造工程を複雑化及び増加させず、かつ高抵抗ポリシリコン膜のエッチング残渣を発生させることなく、請求項1に記載の半導体装置を製造することができる。

【0035】請求項5に記載の製造方法では、請求項4の製造方法の工程(E)において、工程(F)で抵抗素子用の低抵抗ポリシリコン膜を形成する領域の低抵抗ポリシリコン膜上にも高融点金属ポリサイド膜を形成し、工程(F)において、高融点金属ポリサイド膜及び低抵抗ポリシリコン膜のパターニング時に、抵抗素子用の低

10

20

30

40

50

*す上面図である。

【図5】従来技術1の製造工程の前半を示す工程断面図である。

【図6】従来技術1の製造工程の後半を示す工程断面図である。

【図 7】、従来技術 2 の製造工程を示す工程断面図である。

- 1 シリコン基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ノンドープポリシリコン膜
- 4 a, 9 a, 9 b 低抵抗ポリシリコン膜
- 4 b 高抵抗ポリシリコン膜
- 6, 8 a, 8 b レジストパターン
- 7 高融点金属ポリサイド膜
- 10 ソース及びドレイン
- 11 ポリシリコン-メタル配線層間膜
- 11 a, 11 b コンタクトホール
- 12 アルミ配線
- 13 ファイナルパッシベーション膜

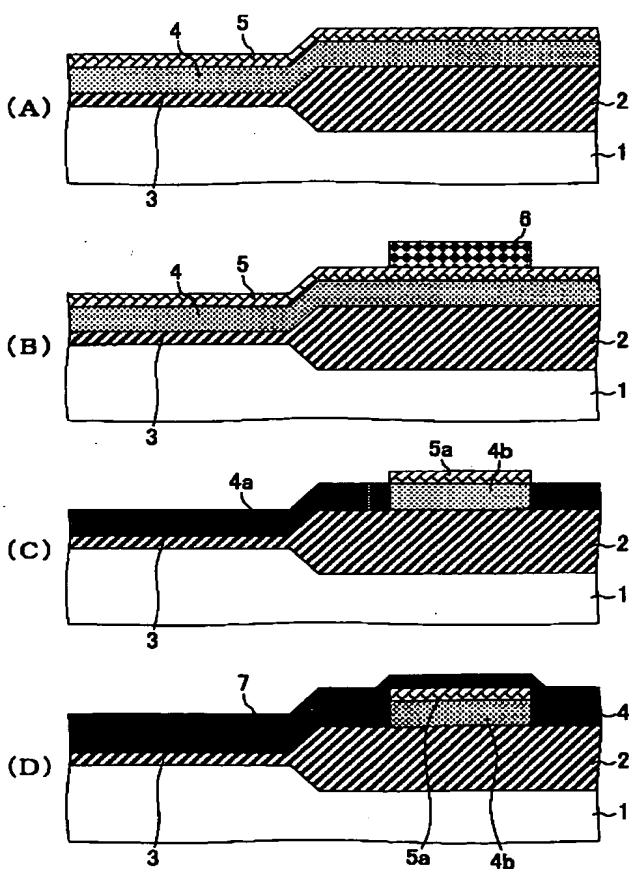
【図1】 半導体装置の一実施例を示す断面図である。

【図2】製造方法の一実施例の前半を示す工程断面図である。

【図 3】 製造方法の一実施例の後半を示す工程断面図である。

【図4】製造方法の一実施例の工程（F）での状態を示*

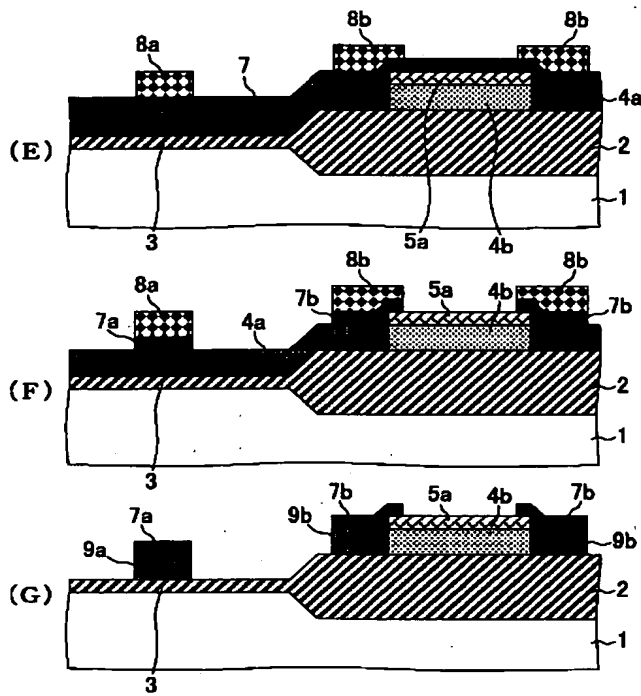
【图2】



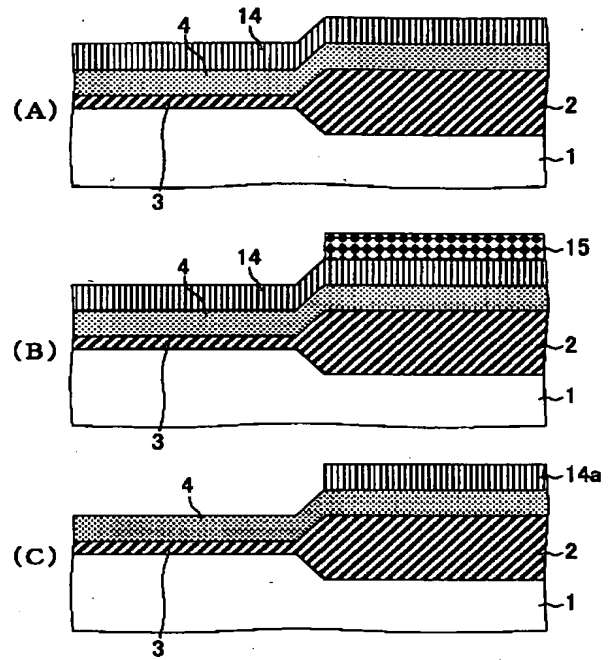
【図 4】



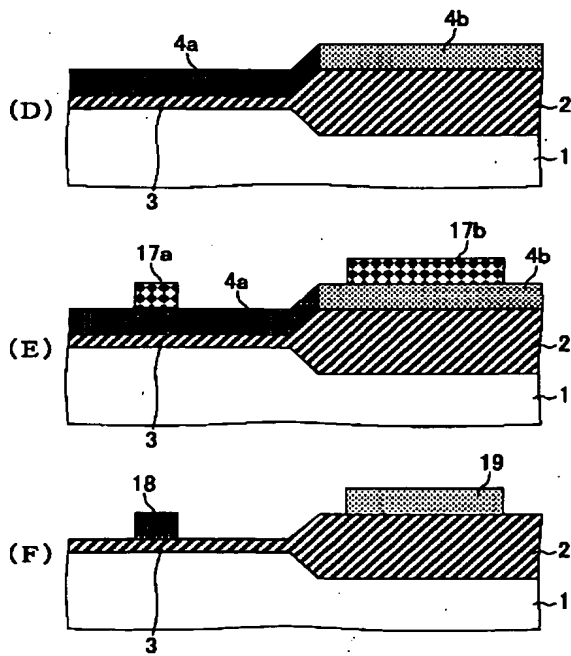
【図 3】



【図 5】



【図 6】



【図 7】

